

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 11 月 25 日 (25.11.2004)

PCT

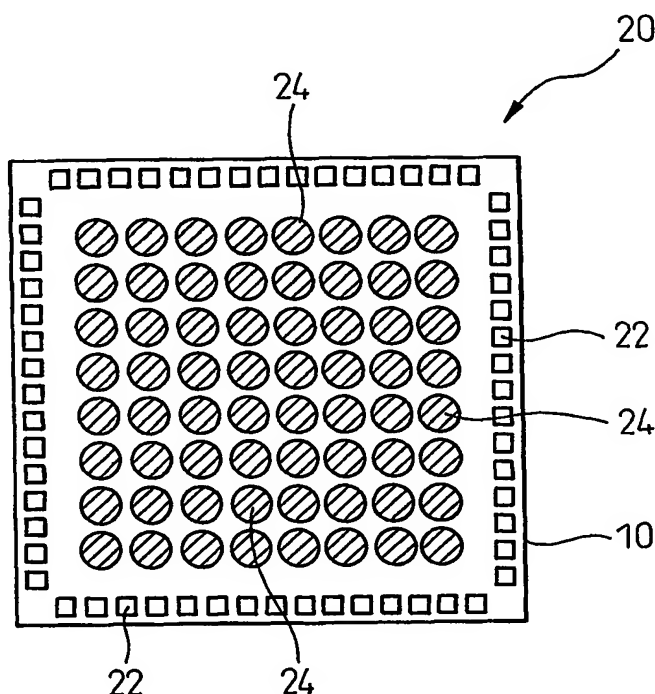
(10) 国際公開番号
WO 2004/102653 A1

- (51) 国際特許分類: H01L 21/66, 21/60, 25/08 (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル 青和特許法律事務所 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/005353
- (22) 国際出願日: 2004 年 4 月 15 日 (15.04.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-136863 2003 年 5 月 15 日 (15.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 新光電気工業株式会社 (SHINKO ELECTRIC INDUSTRIES CO., LTD.) [JP/JP]; 〒3812287 長野県長野市小島田町 80 番地 Nagano (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 反町 東夫 (SORI-MACHI, Haruo) [JP/JP]; 〒3812287 長野県長野市小島田町 80 番地 新光電気工業株式会社内 Nagano (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND INTERPOSER

(54) 発明の名称: 半導体装置およびインターポザー



(57) Abstract: A semiconductor device wherein connection pads for wire bonding are arranged in a peripheral edge region of an electrode-terminal-forming surface of a semiconductor element, test pads for semiconductor element testing are arranged in an inner region of the electrode-terminal-forming surface surrounded by the peripheral edge region, and wherein a plurality of re-wiring patterns, which extend from the peripheral edge region to the inner region on the electrode-terminal-forming surface, connect electrode terminals to the respective corresponding connection pads and test pads.

(57) 要約: 半導体素子の電極端子形成面の周縁領域にワイヤボンディング用の接続パッドが配置され、上記電極端子形成面の、上記周縁領域に囲まれた内側領域に半導体素子試験用の試験パッドが配置され、複数の再配線パターンが上記電極端子形成面の上記周縁領域か

ら上記内側領域まで延在しており、個々の再配線パターンは個々の電極端子と、これに対応する接続パッドおよび試験パッドとを接続していることを特徴とする半導体装置。



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置およびインターポーター

技術分野

本発明は、組み込む半導体素子の特性を試験するための試験用パッドを備えた半導体装置およびインターポーターに関する。

背景技術

半導体装置には、例えば特開2002-151644号公報に開示されているように、1つの半導体装置内に複数の半導体素子あるいは複数の半導体装置を組み込んだ製品すなわちスタック半導体装置がある。

図10に示すスタック半導体装置1は、マルチチップパッケージあるいはダイスタックと呼ばれる構造である。基板12上に半導体素子10を積み重ね、各々の半導体素子10と基板12に設けた接続電極13とをワイヤボンディングにより接続し、封止樹脂14によって基板12の片面側（半導体素子搭載面側）を樹脂封止し、基板12の実装面にはんだボール16を接合してある。

図11に示すスタック半導体装置2は、パッケージスタックと呼ばれる構造である。基板12にフリップチップにより半導体素子10を搭載した半導体装置11を複数個積み重ねてあり、各半導体装置11は基板12間のはんだボール18を介して電氣的に接続されている。

図10に示したマルチチップパッケージあるいはダイスタック構造を有するスタック半導体装置1は、複数の半導体素子10を1つのスタック半導体装置1の中にコンパクトに収納できるという利点

がある。

しかし、製品試験は、基板 1 2 に複数の半導体素子 1 0 を搭載した後にはんだボール 1 6 を試験用パッドとして用いて行なうので、一部の半導体素子 1 0 が不良であった場合でも製品 1 が全体として不良と判定され、良品の半導体素子 1 0 も廃棄されてしまうという問題がある。

この問題は、半導体素子 1 0 の積層数が多くなるほど顕著になる。すなわち、半導体素子 1 0 の積層数が増えると不良品の半導体素子 1 0 が製品 1 に含まれる確率が高まるので、製品 1 の不良発生率が高まり、無駄に廃棄される良品の半導体素子 1 0 が増大する。

上記問題を解消するには、予め個々の半導体素子 1 0 を試験して良否判定した後に基板 1 2 に搭載すればよい。しかし、従来の半導体素子 1 0 を直接試験することは以下の理由で困難であった。

すなわち、半導体素子 1 0 を試験するには電極端子（アルミニウムパッド）を試験装置に接続する必要があるが、電極端子は配置間隔が $50 \sim 100 \mu\text{m}$ と狭いため、電極端子と接続するための特殊なソケットを備えた専用の試験装置を用いる必要があり、それにより製造コストが上昇せざるを得ない。

これに対して、図 1 1 に示すスタック半導体装置 2 の場合は、半導体素子 1 0 を基板 1 2 に搭載した半導体装置 1 1 を個々に予め試験して良否判定した後に、良品の半導体装置 1 1 のみを複数個積み重ねて製品 2 とする方法が可能である。

しかし、この方法では、(1)基板 1 2 の個数が増えて製造コストが増大し、(2)基板 1 2 同士の接合は半導体素子 1 0 の搭載領域より外側の基板周縁部で行なうので半導体装置 1 1 の平面寸法、そして結局はスタック半導体装置 2 の平面寸法を小型化できず、(3)半導体素子 1 0 と共に基板 1 2 も複数個を積層するのでスタック半導

体装置 2 全体として厚さが増大するという問題がある。

発明の開示

本発明の目的は、特殊な試験装置を必要とせずに、組み込む半導体素子の特性試験を容易に行うことを可能とし、良品の半導体素子のみを搭載することによって製品歩留りを向上させることができ、既存設備による製造を可能として製造コストを最小限に抑えることができる半導体装置を提供することである。

本発明のもう 1 つの目的は、特殊な試験装置を必要とせずに、組み込む半導体素子の特性試験を容易に行うことを可能とし、良品の半導体素子のみを搭載することによって製品歩留りを向上させることができ、既存設備による半導体装置の製造を可能として製造コストを最小限に抑えることができるインターポザーを提供することである。

上記の目的を達成するために、第 1 発明によれば、半導体素子の電極端子形成面の周縁領域にワイヤボンディング用の接続パッドが配置され、

上記電極端子形成面の、上記周縁領域に囲まれた内側領域に半導体素子試験用の試験パッドが配置され、

複数の再配線パターンが上記電極端子形成面の上記周縁領域から上記内側領域まで延在しており、個々の再配線パターンは個々の電極端子と、これに対応する接続パッドおよび試験パッドとを接続していることを特徴とする半導体装置が提供される。

典型的には、上記試験パッドが上記内側領域にアレイ状に配列されている。

典型的には、上記電極端子形成面を被覆する保護絶縁層の開口から上記電極端子が露出し、上記再配線パターンは該保護絶縁層上に

延在し且つ該開口を介して該電極端子に接続し、該再配線パターンおよび該保護絶縁層を更に絶縁層が被覆し、該再配線パターンに接続している上記接続パッドおよび上記試験パッドは該絶縁層の開口から露出している。

第1発明においては更に、上記の半導体装置を要素半導体装置として1個もしくは複数個積み重ねまたは該要素半導体装置と半導体素子とをそれぞれ1個以上積み重ね、配線基板上に搭載して成る半導体装置であって、

上記要素半導体装置の接続パッドと上記配線基板の接続電極とがワイヤボンディングにより接続され、

上記要素半導体装置および／または上記半導体素子が上記配線基板上で樹脂封止されていることを特徴とする半導体装置も提供される。

同じく上記の目的を達成するために、第2発明によれば、半導体素子を搭載するインターポーザーの一面の周縁領域に配線基板と接続されるワイヤボンディング用の接続パッドが配置され、

上記一面または他面の、上記周縁領域より内側にある内側領域に半導体素子試験用の試験パッドが配置され、

複数の再配線パターンが上記周縁領域から上記内側領域まで延在しており、個々の再配線パターンは互いに対応する接続パッドと試験パッドとを接続していることを特徴とするインターポーザーが提供される。

典型的には、上記試験パッドが上記内側領域にアレイ状に配列されている。

第2発明においては更に、上記インターポーザーの、上記試験パッドを配置した面とは反対側の面に上記半導体素子を1個もしくは複数個積み重ねた半導体モジュールを配線基板上に搭載して成る半

導体装置であって、

上記インターポザーの接続パッドと上記配線基板の接続電極とがワイヤボンディングにより接続され、

上記半導体モジュールが上記配線基板上で樹脂封止されていることを特徴とする半導体装置も提供される。

この半導体装置において、試験パッドが形成された面側は露出し、インターポザーの半導体素子搭載面側は樹脂封止されている半導体モジュールが配線基板に搭載されてよい。

図面の簡単な説明

図 1 は、第 1 発明による半導体装置の電極端子形成面の平面図である。

図 2 は、第 1 発明による半導体装置の接続パッド、試験パッド、電極端子の位置関係を示す断面図である。

図 3 A ～ 3 H は、第 1 発明による半導体装置の製造工程を示す断面図である。

図 4 は、第 1 発明による半導体装置の構成例を示す断面図である。

図 5 は、第 1 発明による半導体装置の他の構成例を示す断面図である。

図 6 は、第 1 発明による半導体装置の更に他の構成例を示す断面図である。

図 7 は、第 2 発明によるインターポザーを用いた半導体装置の構成例を示す断面図である。

図 8 は、第 2 発明によるインターポザーを用いた半導体装置の他の構成例を示す断面図である。

図 9 は、第 2 発明によるインターポザーを用いた半導体装置の

更に他の構成例を示す断面図である。

図 10 は、従来の半導体装置の構成例を示す断面図である。

図 11 は、従来の半導体装置の他の構成例を示す断面図である。

発明を実施するための最良の形態

以下に、添付図面を参照して、本発明の望ましい実施の形態を説明する。

実施形態 1

図 1 は、第 1 発明による半導体装置の実施形態を示す平面図であり、特徴とする電極端子形成面の構成例を示す。図示した半導体装置 20 は、半導体ウェハの電極端子形成面に一括して配線パターンを形成した後、半導体ウェハを個々の半導体素子毎にダイシングして得られたものである。

半導体装置 20 は、半導体素子 10 の電極端子形成面の周縁領域に一系列に接続パッド 22 が設けられ、この周縁領域に囲まれた内側領域に試験パッド 24 が複数列のアレイ状に配列されている。

半導体装置 20 を実装基板等に搭載する際に、半導体装置 20 の接続パッド 22 と実装基板の接続端子とがワイヤボンディングによって接続される。接続パッド 22 が半導体装置 20 の周縁領域（＝半導体素子 10 の周縁領域）に一系列に設けられていることにより、上記のワイヤボンディングを容易に行なえる。個々の接続パッド 22 は後に説明するように再配線パターンを介してそれぞれ半導体素子 10 の個々の電極端子と接続している。

試験パッド 24 は、半導体素子 10 の特性試験を行う際に試験装置との接続に用いられる。個々の試験パッド 24 は後に説明するように上記と同じ再配線パターンを介してそれぞれ半導体素子 10 の

個々の電極端子と接続している。

半導体素子 10 を、そして半導体装置 20 をできるだけ小型化するために、接続パッド 22 はワイヤボンディングの可能な最小限の平面寸法とし高密度で一行に配列される。一方、接続パッド 22 が配列された周縁領域より内側には大きな面積の領域が未使用で残される。本発明では、この大きな面積を持つ内側領域を有効に利用して、試験パッド 24 を大きな平面寸法かつ広い間隔で配設できる。ここで、接続パッド 22 はワイヤボンディングの容易性確保のため一行配置または二行配置が現実として必須である。これに対して、ワイヤボンディングとは無関係な試験パッド 24 は、複数列のアレイ状に配列できるので内側領域の大きな面積を全て利用できる。このことも、試験パッド 24 の平面寸法および間隔を大きくする上で極めて有利である。

このように、試験パッド 24 を大きな平面寸法で広い間隔を空けて配設したことにより、特殊なプローブを持つソケット等を備えた専用の試験装置を必要とせずに、半導体素子 10 の特性試験を行うことができる。

図 2 は、図 1 に示した半導体装置 20 の断面図であり、接続パッド 22、試験用パッド 24、電極端子 26 の配置関係を示す。電極端子 26 は半導体素子 10 の電極端子形成面 10S にアルミニウムパッドとして形成されている。半導体素子 10 の電極端子形成面 10S は電極端子 26 を除く全面が保護絶縁層 28 で被覆されており、保護絶縁層 28 の表面には再配線パターン 30 が形成され、更にその上を絶縁層 32 が被覆している。接続パッド 22 および試験用パッド 24 は、再配線パターン 30 上の所定箇所に直接形成されており、絶縁層 32 の貫通口を通して露出している。

すなわち、再配線パターン 30 は、電極端子 26 から保護絶縁層

28上を半導体素子10の周縁領域と内部領域へそれぞれ延びており、周縁領域では一端30aが接続パッド22に接続し、内部領域では他端30bが試験用パッド24に接続している。

電極端子26から再配線パターン30の一端30aを周縁領域まで引き出して接続パッド22に接続したことにより、接続パッド22にワイヤボンディングし易くすると同時に、試験パッド24を配置する内側領域を広く確保している。

本実施形態では、試験パッド24をアレイ状に配置してあるので、各接続パッド22と試験パッドとを接続する再配線パターン30同士は互いに干渉し合わないよう配置する必要がある。もちろん、試験パッド24の配置は本実施形態で示したアレイ状に限定する必要はなく、任意に配置できる。

なお、本実施形態では電極端子26の位置を電極端子形成面10Sの周縁寄りの領域に一直列配置されているとして示したが、本発明の半導体装置における電極端子の配置はこれに限定する必要はない。例えば、電極端子が電極端子形成面の中央寄りの領域に複数列配置されているような場合でも、再配線パターン30を適切に設計することにより、電極端子形成面の周縁領域に接続パッド22を、内側領域に試験パッド24をそれぞれ配置する本発明の構成を適用できる。

図3A～3Hは、本発明による半導体装置の製造工程の一例を示す断面図である。

図3Aは、半導体ウェハ10aの一部を示す断面図であり、電極端子形成面10Sは、アルミニウムパッドから成る電極端子26以外の部分が保護絶縁層28で被覆されている。保護絶縁層28は、半導体ウェハ10aの電極端子形成面10Sを被覆するパッシベーション膜をそのまま利用してもよいし、保護作用および絶縁作用を

強化するためにパッシベーション膜上に更にポリイミド等の樹脂膜を被覆してもよい。

次いで、図 3 B に示すように、電極端子 2 6 に接続する再配線パターン 3 0 (図 2) をめっきにより形成するための前処理として、スパッタリング等によりウェハ 1 0 a の上面全体 (保護絶縁層 2 8 の上面、電極端子 2 6 を露出させている開口 2 6 a の壁面、電極端子 2 6 の上面) にめっき給電層 2 7 を形成する。めっき給電層 2 7 は、例えばクロム層、銅層などで構成される。

図 3 C に示すように、フォトリソグラフィーおよび樹脂硬化処理を行ない、めっき給電層 2 7 上の再配線パターン 3 0 形成予定部位以外の部位にめっきマスクとしてフォトレジストパターン 2 9 を形成する。

図 3 D に示すように、めっき給電層 2 7 を用いて電解銅めっきを行い、マスク 2 9 に覆われていない部位のめっき給電層 2 7 上に電解銅めっき層 3 1 を形成する。得られた電解銅めっき層 3 1 は、開口 2 6 a 内に露出している電極端子 2 6 の表面から、開口 2 6 a の壁面を経て、保護絶縁層 2 8 上まで連続した導電層を形成している。

図 3 E に示すように、めっきマスクとして用いたフォトレジストパターン 2 9 を除去して、その下にあるめっき給電層 2 7 を露出させた後、給電層を構成している金属をエッチングするエッチング液を用いて軽くエッチングを行なうことにより、上記露出しためっき給電層 2 7 のみを選択的に除去する。これにより、所定部位にのみ再配線パターン 3 0 が形成される。

めっき給電層 2 7 は、少なくともめっき開始時点でめっき電流を供給できる一時的な導電層であればよいから、上記のようにスパッタ等により極く薄く形成してあるので、軽エッチングによって簡単

に除去される。これに対して、電解銅めっき層 3 1 は恒久的な再配線パターン 3 0 を形成するために、上記軽エッチングによる除去代を加味して十分な厚さに形成してあるので、薄いめっき給電層 2 7 のみを選択的に除去することができる。

これにより、電極端子 2 6 に接続して保護絶縁層 2 8 上に延在する再配線パターン 3 0 が得られる。

図 3 F に示すように、半導体ウェハ 1 0 a の再配線パターン 3 0 が形成された面全体に感光性ポリイミド等の感光性樹脂フィルム 3 2' を被着して覆う。

図 3 G に示すように、感光性樹脂フィルムの被着層 3 2' を露光および現像することにより、接続パッド形成予定部位に開口 2 2 a を、試験パッド形成予定部位に開口 2 4 a をそれぞれ開口する。

図 3 H に示すように、再配線パターン 3 0 をめっき給電層として電解ニッケルめっきおよび電解金めっきを行なうことにより、開口 2 2 a 内および開口 2 4 a 内にそれぞれ接続パッド 2 2 および試験パッド 2 4 を形成する。

これにより、電極端子形成面 1 0 S の周縁領域から内側領域まで延在している複数の再配線パターン 3 0 の各々により、個々の電極端子 2 6 と、これに対応する接続パッド 2 2 および試験パッド 2 4 とが接続された本発明の構造が得られる。

以上の製造工程は、半導体ウェハの再配線パターン形成に用いられている従来方法により、特殊な試験装置等の専用の設備を必要とすることなく、既存の製造設備にて容易に行なうことができる。

図 1 に示した半導体装置 2 0 は、上記の製造工程により接続パッド 2 2 と試験パッドとを半導体ウェハ 1 0 a の有効表面に一括して形成した後に、個々の半導体素子 1 0 毎にダイシングして得られる。これにより得られた半導体装置 2 0 は、いわゆるチップサイズパ

ッパッケージである。

半導体装置 20 は試験パッド 24 を備えているから、予め特性試験を済ませてから、良品のみを製品に搭載することができる。試験パッド 24 を用いて高周波特性等の所要の検査を行なうことができる。

また、半導体装置 20 はワイヤボンディング用の接続パッド 22 を備えているから、従来の半導体装置と全く同様のワイヤボンディングにより配線基板に搭載することができる。

例えば、図 4 に示す半導体装置 25 X は、図 1 の半導体装置（チップサイズパッケージ）20 を配線基板 40 に搭載した例である。従来のチップサイズパッケージと全く同様にして、配線基板 40 の搭載面に接合した後、半導体装置 20 の接続パッド 22 を配線基板 40 の接続電極 42 にワイヤボンディングにより接続し、次いで封止樹脂 36 によって封止する。図中、34 がボンディングワイヤ、44 がはんだボール等の外部接続端子である。

図 5 に示す半導体装置 25 Y は、配線基板 40 に従来の半導体素子 20 a、20 b と上記本発明の半導体装置 20 とを積み重ねて搭載した例である。この例では、最下段（配線基板 40 に近い側）と最上段に従来の半導体素子 20 a と 20 b を配置し、これら両者に挟まれた中段に本発明の半導体装置 20 を配置した。本発明の半導体装置 20 はチップサイズに形成されているから、従来の半導体素子 20 a、20 b とまったく同用にして配線基板 40 上に積み重ねて搭載することができる。また、半導体素子 20 a、20 b および半導体装置 20 と、配線基板 40 の接続電極 42 とのワイヤボンディングによる接続も従来の半導体装置と全く同様の方法により既存設備で行なうことができる。

図 4、図 5 に示すように、本発明の半導体装置 20 は、予め特性

試験して良否判定した後に、良品のみを搭載することができるから、半導体装置の完成品 25 X、25 Y を製造した段階での歩留りを大幅に向上できる。

図 5 に示した実施形態では、積み重ねて搭載する半導体素子のうちで中段の半導体素子のみ試験可能な本発明の半導体装置 20 として形成した。搭載する全ての半導体素子を本発明により試験パッド 24 を備えた半導体装置 20 とすることもできるが、予め特性試験しておく必要のある半導体素子だけに試験パッドを設けて本発明の半導体装置 20 とすることも、製造コストの面から有効である。

また、試験パッド 24 を持つ本発明の半導体装置 20 は、試験パッド 24 を持たない通常の半導体素子と同様にチップサイズにできるので、これを積み重ねて搭載した製品も従来と同様にコンパクトにできる。

本発明の半導体装置 20 は種々の形態で用いることができる。例えば図 6 に示す半導体装置 25 Z は、予め半導体素子 20 e をフリップチップ接続により搭載した配線基板 40 に、本発明の半導体装置 20 を含む半導体モジュール 25 M を搭載した例である。

半導体モジュール 25 M は、試験パッド 24 を備えた本発明の半導体装置 20 の裏面（電極端子形成面の反対側の面）に、試験パッドを設けていない通常の半導体素子 20 c、20 d を積み重ねて搭載し、半導体素子 20 c、20 d と半導体装置 20 の裏面側に設けた電極 21 とをワイヤボンディングによって接続した後、封止樹脂 38 により封止して形成してある。

配線基板 40 への半導体モジュール 25 M の搭載は、配線基板 40 上に接合された半導体素子 20 e の上面に、半導体モジュール 25 M の封止樹脂側の面を接合することにより行なう。搭載した半導体モジュール 25 M の半導体装置 20 の接続パッド 22 と配線基板

40の接続電極42とをワイヤボンディングによって接続し、封止樹脂36で封止して、半導体装置25Zが完成する。

以上のように、本発明の半導体装置20は単体として用いるばかりでなく、複数個の半導体装置20を組み合わせたか、通常の半導体素子と組み合わせたかして用いることができる。本発明の半導体装置20はチップサイズに形成されているので、通常の半導体素子と組み合わせて用いることは容易である。

本発明の半導体装置は特性を予め試験して良品のみを製品に組み込むことができるので、製品の歩留りが向上し、その結果として製造コストが低減する。半導体素子の電極端子形成面への試験パッドおよび接続パッドの形成は、従来の半導体ウェハの再配線パターン形成工程により低コストで容易に行なえるので、歩留り向上による大幅なコスト向上により全体の製造コストを低減できる。特に、高機能化された半導体素子を搭載する場合には、予め所要特性を試験して搭載できることにより、無駄を省いて製造コストを効果的に低減できる。

実施形態2

図7は、第2発明によるインターポージャーを用いた半導体装置55Xを示す断面図である。

半導体装置55Xは、予め通常（試験パッドなし）の半導体素子20eをワイヤボンディング接続により搭載した通常の配線基板41に、本発明のインターポージャー50を含む半導体モジュール55Mを搭載したものである。

本発明のインターポージャー50は、ワイヤボンディング用の接続パッド52と半導体素子特性試験用の試験パッド54とを同一の面上に備えている。試験パッド54は個々に対応する接続パッド52

と再配線パターン（図示せず）により接続されている。インターポージャー 50 は例えば通常のプリント配線基板である。接続パッド 52 および試験パッド 54 は表面に金めっきを施すことが望ましい。

半導体モジュール 55 M は、インターポージャー 50 の裏面（接続パッド 52、試験パッド 54 の配設面とは反対側の面）に通常の半導体素子 50 c、50 d を積み重ねて搭載し、半導体素子 50 c、50 d とインターポージャー 50 の裏面側に設けた電極 51 とワイヤボンディングによって接続した後、封止樹脂 56 により封止して形成してある。インターポージャー 50 の電極 51 は個々に対応する接続パッド 52 と接続されており、接続パッド 52 を介して試験パッド 54 に接続している。これにより、インターポージャー 50 の試験パッド 54 を介して、半導体素子 50 c、50 d の特性試験を容易に行なうことができる。

配線基板 41 への半導体モジュール 55 M の搭載は、配線基板 41 上に接合された半導体素子 20 e の上面に、半導体モジュール 55 M の封止樹脂側の面を接合することにより行なう。搭載した半導体モジュール 55 M の本発明のインターポージャー 50 の接続パッド 52 と配線基板 41 の接続電極 42 とをワイヤボンディングによって接続し、封止樹脂 36 で封止して、半導体装置 55 X が完成する。

半導体装置 55 X を構成する半導体素子 50 c、50 d、20 e のうちで、半導体素子 50 c、50 d については半導体モジュール 55 M の状態で既に特性試験により良否判定済みで、良品のみを搭載している半導体モジュール 55 M を用いることができるので、不良品が混入している可能性があるのは、半導体素子 20 e のみである。したがって、従来の同タイプの半導体装置に比べて歩留りが向上する。

また、半導体素子間はワイヤボンディングにより接続されており、はんだボールを用いて接続した場合のようにパッケージが著しく大きくなることはない。

なお、半導体モジュール内に通常の半導体素子として50c、50dの2つを組み込んだが、もちろん組み込む半導体素子の個数はこれに限定する必要はなく、1つでもよいし、3つ以上でも可能である。

図8に示す半導体装置55Yは、図7の半導体装置55Xと基本的な部品構成は同一であるが、半導体素子50cおよび20eをそれぞれ本発明のインターポージャー50および配線基板41にフリップチップ接続されている点が異なる。このフリップチップ接続法としては公知の手法を用いることができる。例えば、半導体素子50c、20eに予め形成したスタッドバンプ58を、配線基板41上に予め形成されたはんだ（図示せず）によって接合することによりフリップチップ接続する手法を用いることができる。半導体素子50c、20eにフリップチップ接続を適用したことにより、図7の例に比べて更に小型化できる。

上記図7、図8の例では本発明のインターポージャー50の同一面上に接続パッド52と試験パッド54を設けたが、本発明における接続パッドと試験パッドの配置面は同一面に限定する必要はない。

例えば、図9に示す半導体装置55Zにおいては、本発明のインターポージャー60は一方の面（図中の上面）に接続パッド52と半導体素子接続用の端子（図示せず）が、他方の面（図中の下面）に試験パッド54が、それぞれ配設されている。試験パッド54は個々に対応する接続パッド52と再配線パターン（図示せず）により接続されている。半導体素子50cはインターポージャー60の上記一方の面（上面）上の半導体素子接続用端子とフリップチップ接続

される。その結果、インターポザー 60 と半導体素子 50 c とから成る半導体モジュールが得られる。インターポザー 60 の試験パッド 54 を介し半導体素子 50 c を特性試験して良否判定し、良品の半導体素子 50 c が組み込まれている半導体モジュールのみを次工程に用いる。

次いで、図 7 で説明した例と同様に、予め通常（試験パッドなし）の半導体素子 20 e をフリップチップ接続により搭載した通常の配線基板 41 に、上記良品の半導体モジュール（60 + 50 c）を搭載する。その後、本発明のインターポザー 60 と配線基板 41 とをボンディングワイヤ 34 で接続した後、封止樹脂 36 によって封止し、半導体装置 55 Z が完成する。

この例では、樹脂封止は一回で済むので、樹脂封止を 2 回行なう図 7 の場合に比べてその分のコスト低減ができるし、同時に、封止樹脂のための余分な厚みを付加する必要が無いので半導体装置 55 Z 全体を薄くできる。

産業上の利用可能性

本発明の半導体装置およびインターポザーは、半導体素子の特性試験のための試験パッドを備えているので、予め試験により良否判定を行ない、良品のみを搭載できるので、不良品半導体素子の搭載による製品不良の発生を防止でき、それにより製品の歩留りを向上できる。

また、本発明の半導体装置はチップサイズに形成されているので、通常の半導体素子と同様に搭載してコンパクトな半導体装置を得ることができる。

更に、本発明の半導体装置は、複数個積み重ねたり、あるいは通常の半導体素子と積み重ねたりして搭載することが容易に行なえる

ので、多種多様な形態の半導体装置を提供できる。

請 求 の 範 囲

1. 半導体素子の電極端子形成面の周縁領域にワイヤボンディング用の接続パッドが配置され、

上記電極端子形成面の、上記周縁領域に囲まれた内側領域に半導体素子試験用の試験パッドが配置され、

複数の再配線パターンが上記電極端子形成面の上記周縁領域から上記内側領域まで延在しており、個々の再配線パターンは個々の電極端子と、これに対応する接続パッドおよび試験パッドとを接続していることを特徴とする半導体装置。

2. 請求項1において、上記試験パッドが上記内側領域にアレイ状に配列されていることを特徴とする半導体装置。

3. 請求項1または2において、上記電極端子形成面を被覆する保護絶縁層の開口から上記電極端子が露出し、上記再配線パターンは該保護絶縁層上に延在し且つ該開口を介して該電極端子に接続し、該再配線パターンおよび該保護絶縁層を更に絶縁層が被覆し、該再配線パターンに接続している上記接続パッドおよび上記試験パッドは該絶縁層の開口から露出していることを特徴とする半導体装置。

4. 請求項1から3までのいずれか1項記載の半導体装置を要素半導体装置として1個もしくは複数個積み重ねまたは該要素半導体装置と半導体素子とをそれぞれ1個以上積み重ね、配線基板上に搭載して成る半導体装置であって、

上記要素半導体装置の接続パッドと上記配線基板の接続電極とがワイヤボンディングにより接続され、

上記要素半導体装置および／または上記半導体素子が上記配線基板上で樹脂封止されていることを特徴とする半導体装置。

5. 半導体素子を搭載するインターポーターの一面の周縁領域に配線基板と接続されるワイヤボンディング用の接続パッドが配置され、

上記一面または他面の、上記周縁領域より内側にある内側領域に半導体素子試験用の試験パッドが配置され、

複数の再配線パターンが上記周縁領域から上記内側領域まで延在しており、個々の再配線パターンは互いに対応する接続パッドと試験パッドとを接続していることを特徴とするインターポーター。

6. 請求項5において、上記試験パッドが上記内側領域にアレイ状に配列されていることを特徴とするインターポーター。

7. 請求項5または6記載のインターポーターの、上記試験パッドを配置した面とは反対側の面に上記半導体素子を1個もしくは複数個積み重ねた半導体モジュールを配線基板上に搭載して成る半導体装置であって、

上記インターポーターの接続パッドと上記配線基板の接続電極とがワイヤボンディングにより接続され、

上記半導体モジュールが上記配線基板上で樹脂封止されていることを特徴とする半導体装置。

8. 請求項7において、試験パッドが形成された面側は露出し、インターポーターの半導体素子搭載面側は樹脂封止されている半導体モジュールが配線基板に搭載されていることを特徴とする半導体装置。

Fig.1

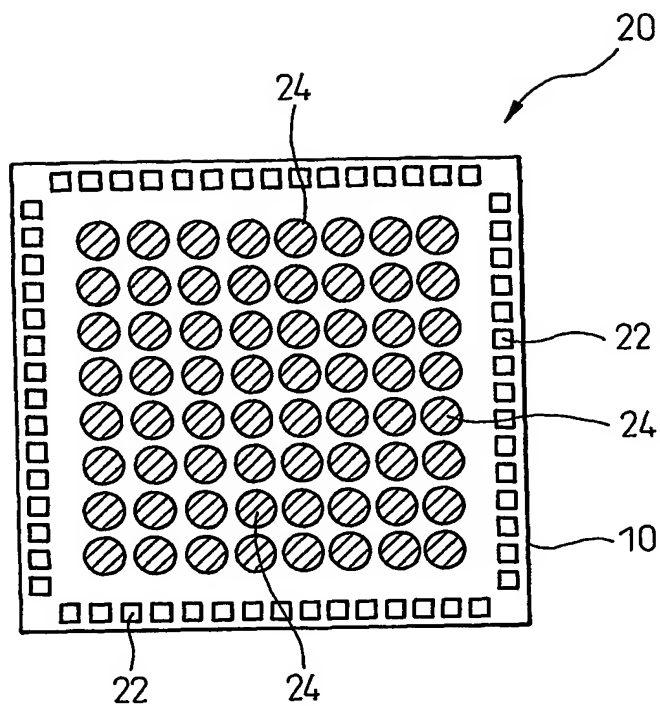


Fig.2

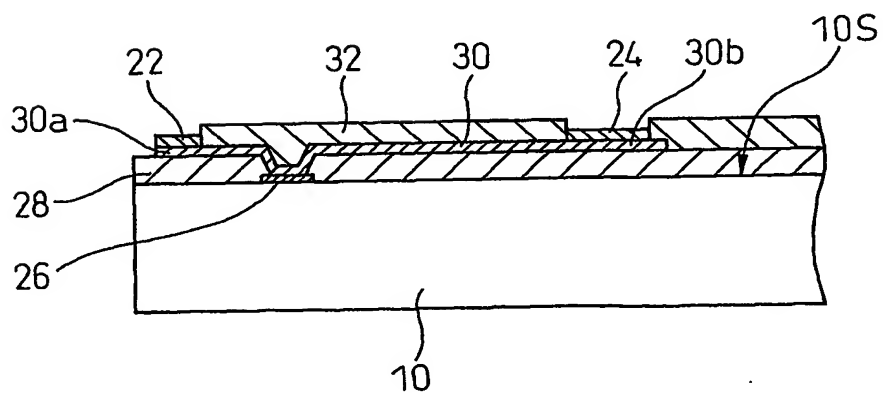


Fig.3A

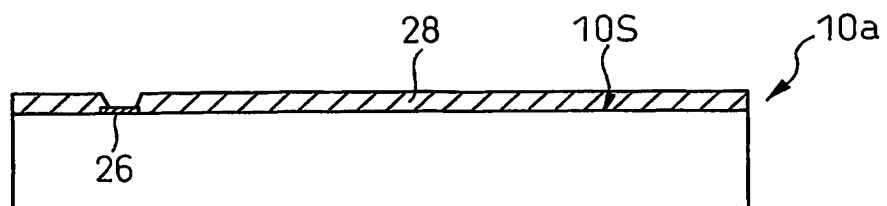


Fig.3B

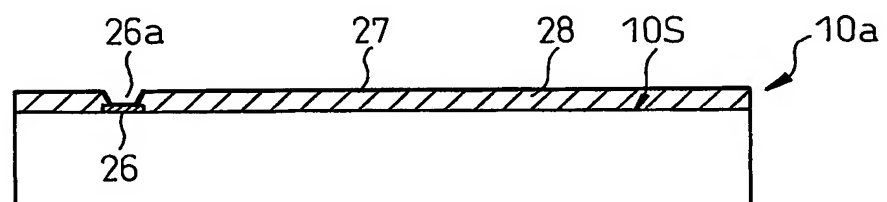


Fig.3C

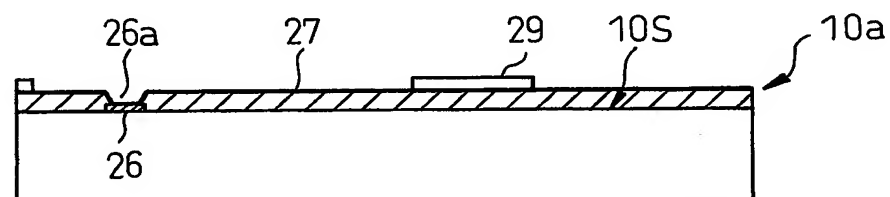


Fig.3D

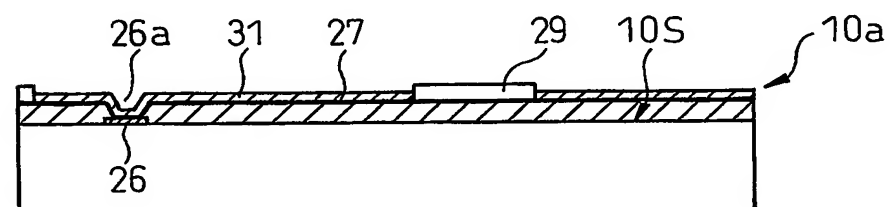


Fig.3E

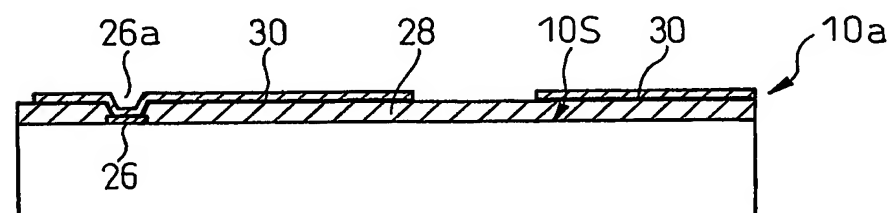


Fig.3F

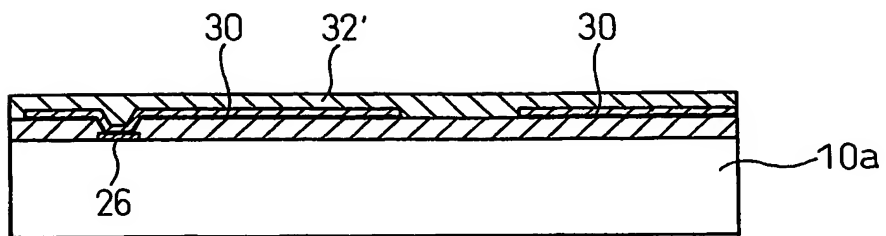


Fig.3G

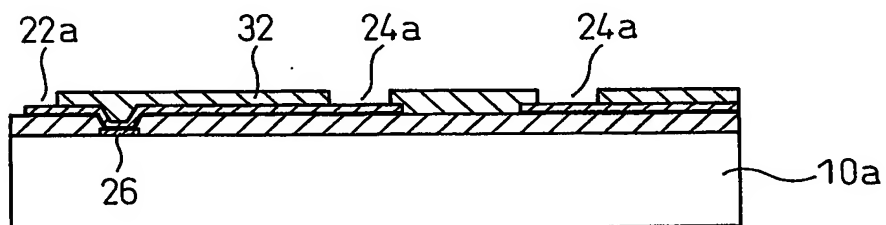


Fig.3H

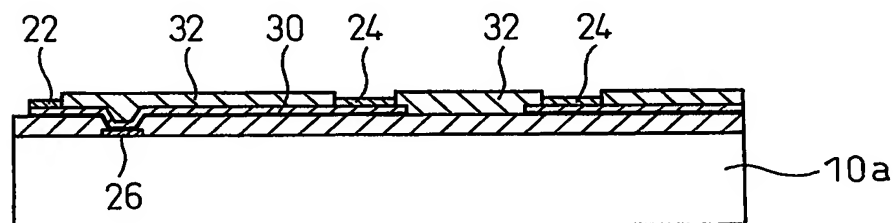


Fig.4

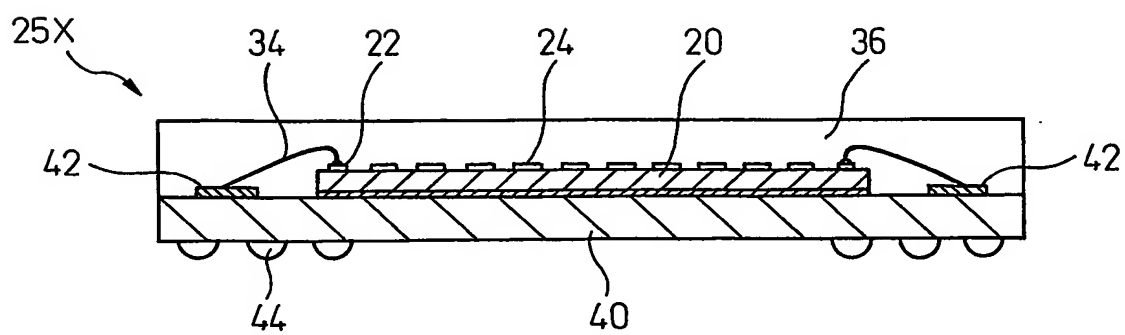


Fig.5

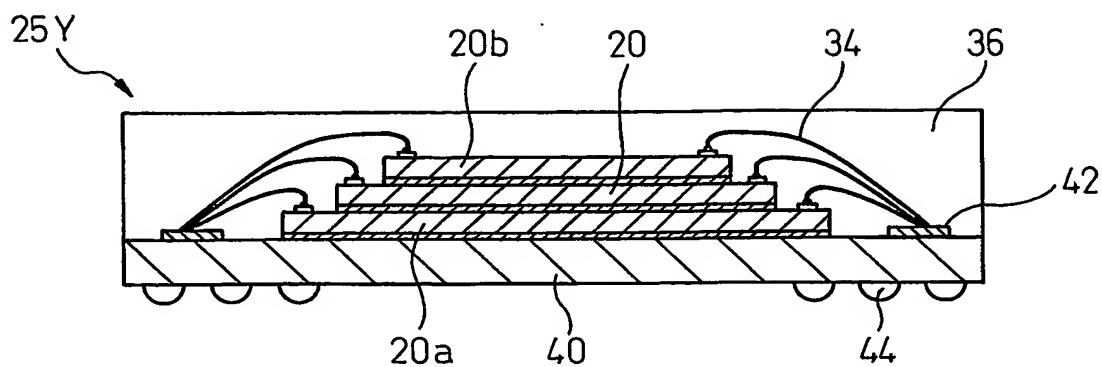


Fig.6

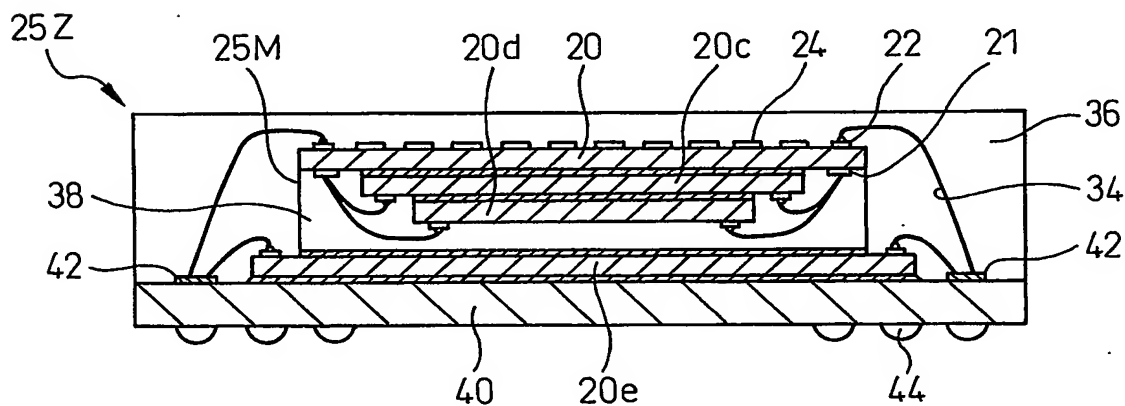


Fig.7

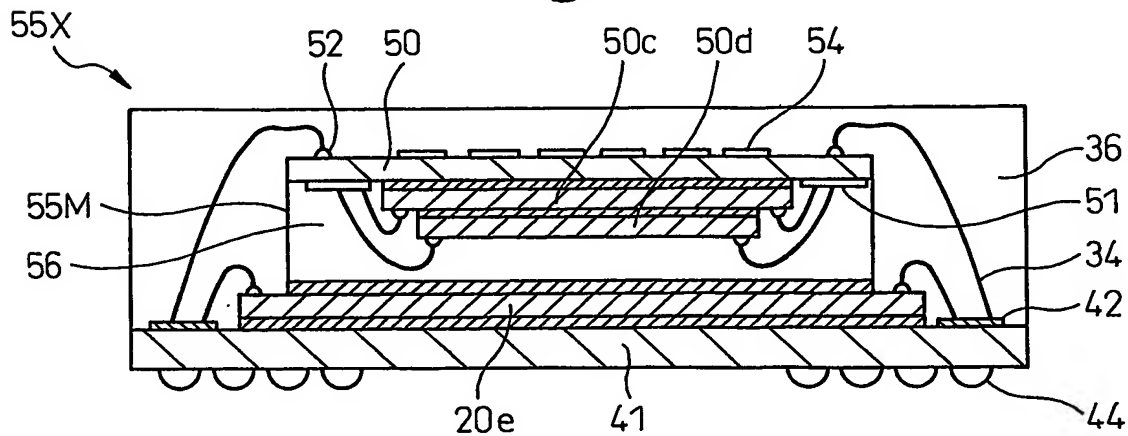


Fig. 8

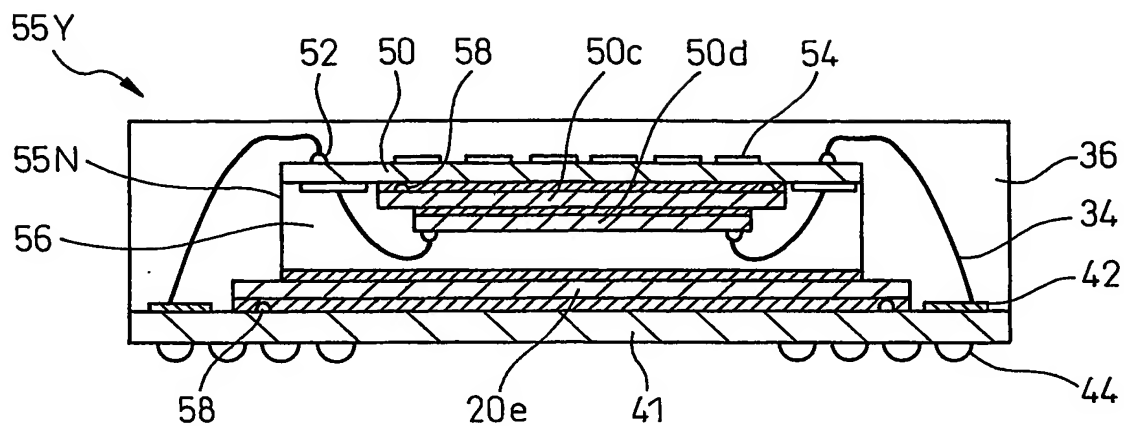


Fig.9

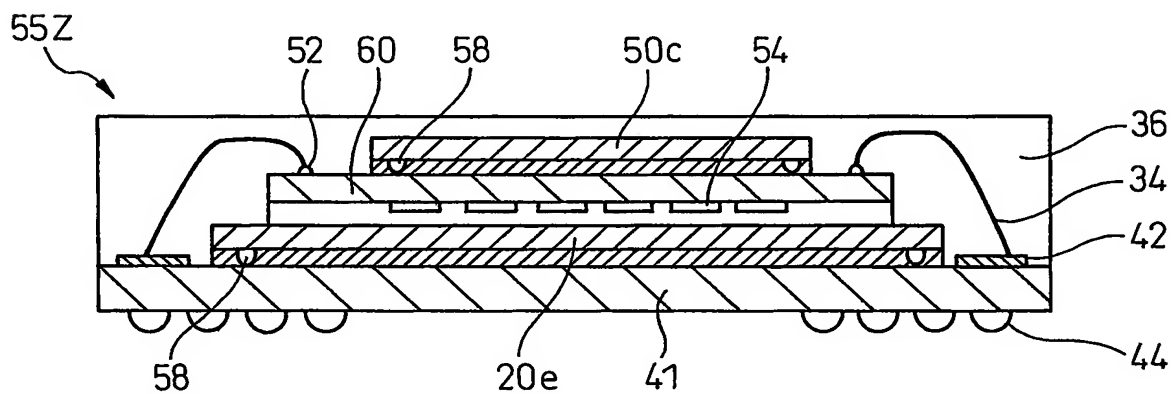


Fig.10

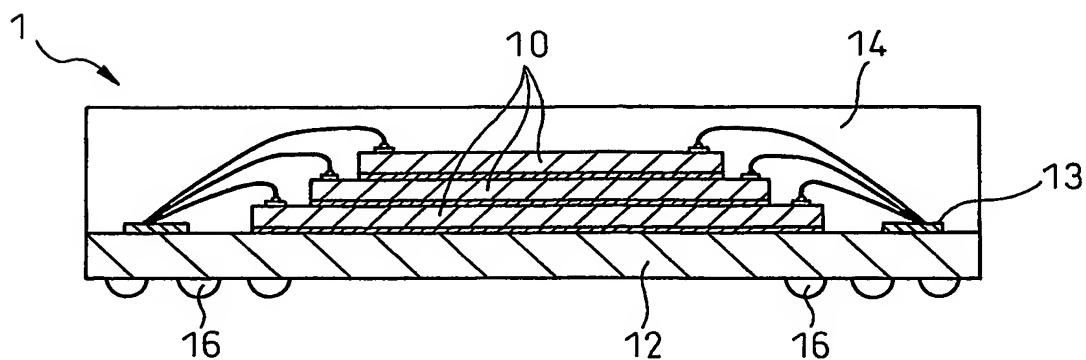
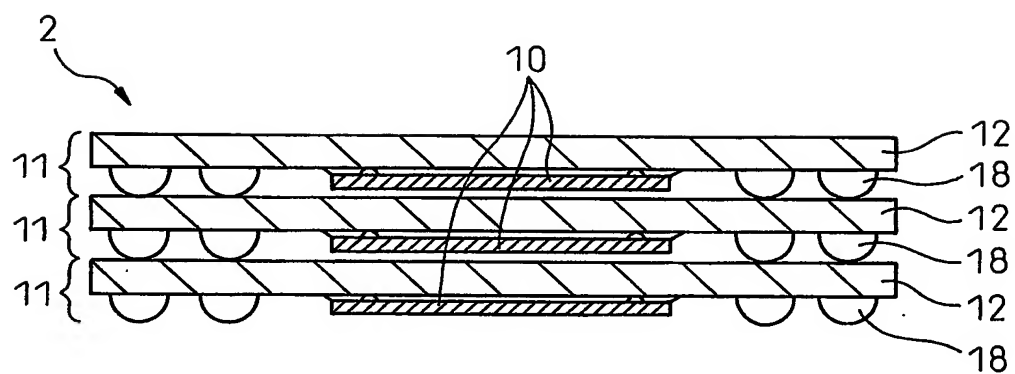


Fig.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005353

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/66, 21/60, 25/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/66, 21/60, 25/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-84042 A (Hitachi, Ltd.), 19 March, 2003 (19.03.03), Par. Nos. [0053] to [0055]; Fig. 7 & US 2003/047731 A1 & KR 2003-023510 A & CN 1404123 A	1, 3, 4 2 5-8
Y A	JP 7-122603 A (Nippon Steel Corp.), 12 May, 1995 (12.05.95), Par. No. [0015]; Fig. 2 (Family: none)	2 6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 July, 2004 (26.07.04)Date of mailing of the international search report
10 August, 2004 (10.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/66, 21/60, 25/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/66, 21/60, 25/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-84042 A(株式会社日立製作所), 2003. 03. 19,	1, 3, 4
Y	第53-55段落, 図7	2
A	& US 2003/047731 A1 & KR 2003-023510 A & CN 1404123 A	5-8
Y	JP 7-122603 A(新日本製鐵株式会社), 1995. 05. 12,	2
A	第15段落, 図2(ファミリーなし)	6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26. 07. 2004

国際調査報告の発送日

10. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 憲一郎

4 R

3 0 3 1

電話番号 03-3581-1101 内線 3469